Федеральное агентство связи (Россвязь)

Федеральное государственное бюджетное образовательное учреждение

высшего образования

«Сибирский государственный университет телекоммуникаций и информатики»

(СибГУТИ)

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

№ кода и наименование направления подготовки

**РАСЧЁТНО-ГРАФИЧЕСКОЕ ЗАДАНИЕ**

по дисциплине «Архитектура вычислительных систем»

Вариант № 9

Выполнил:

студент гр. ИС-441 Башлядинский А.А. /Фамилия И.О./

подпись

Проверил:

доцент кафедры ВС

к.т.н. \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ /А.В. Ефимов /

ОЦЕНКА, подпись

Новосибирск 2016

Оглавление

[1 ОТВЕТ НА ПЕРВЫЙ ВОПРОС 3](#_Toc470552217)

[1.1 ЗАДАНИЕ 3](#_Toc470552218)

[1.2 ОТВЕТ 3](#_Toc470552219)

[2 ОТВЕТ НА ВТОРОЙ ВОПРОС 5](#_Toc470552220)

[2.1 ЗАДАНИЕ 5](#_Toc470552221)

[2.2 ОТВЕТ 5](#_Toc470552222)

[СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ 8](#_Toc470552223)

1 ОТВЕТ НА ПЕРВЫЙ ВОПРОС

1.1 ЗАДАНИЕ

Оценить возможности ЭВМ с SISD-архитектурой. привести пример использования SISD-архитектуры в суперВС.

1.2 ОТВЕТ

SISD (Single Instruction, Single Data) – архитектура ЭВМ, при которой один процессор выполняет один поток команд, управляющий обработкой одиночного потока данных. Является одним из четырёх классов вычислительных систем по классификации Флинна.

Архитектура SISD представлена на схеме 1.1; в процессор из памяти поступает поток команд (1), на основе которых обрабатывается поток данных (2), поступивший также из памяти. После обработки результаты (3) помещаются в память.

Процессор

**3**

**2**

**1**

Память

Схема 1.1. Архитектура SISD

В начале истории развития вычислительной техники стоит именно SISD архитектура, в дальнейшем породившая такие основные архитектуры как CISC, RISC и архитектуры с суперскалярной обработкой (см. схему 1.2).

SISD

CISC

RISC

VLIW

EPIC

Схема 1.2. Классификация SISD

Таким образом, хоть большинство современных процессоров имеют многоядерную структуру, но вне зависимости от предназначения процессора – для персональных компьютеров или вычислительных систем, все они имеют SISD архитектуру на функциональном уровне ядра. На текущем этапе развития вычислительной техники ЭВМ с SISD архитектурой обладают следующими возможностями:

1. Обработка данных с производительностью около 50 Гфлопс (производительность одного ядра процессора Intel последнего поколения на микроархитектуре Skylake);
2. Последовательное исполнение инструкций, облегчающее программирование алгоритмов;
3. Возможность применения стандартных компиляторов, которые дорабатывались на протяжении многих лет;
4. Создание вычислительных систем, не требующих больших затрат ввиду простой структуры вычислителя;
5. Использование процессоров на SISD архитектуре в качестве элементарной единицы в более сложных архитектурах вычислительных систем.

В качестве примера использования SISD архитектуры в суперВС можно привести Connection Machine 1 (CM-1). Эта вычислительная система использует элементарные процессоры на основе SISD архитектуры.

2 ОТВЕТ НА ВТОРОЙ ВОПРОС

2.1 ЗАДАНИЕ

Разработать блок-схему *p*-алгоритма для вычисления произведения двух матриц:

*p-*алгоритм должен обеспечить распределение элементов матрицы по горизонтальным полосам в элементарных машинах ВС.

Определить максимум коэффициента накладных расходов при реализации *p*-алгоритма на модифицированной ВС СУММА.

2.2 ОТВЕТ

Для распределения элементов результирующей матрицы по горизонтальным полосам в элементарных машинах ВС матрица храниться в каждом вычислителе. Матрица разрезается на *n* горизонтальных полос, где *n –* количество вычислителей. В первом вычислителе размещаются строки 1, 2, …, ; в *l*-м вычислителе – строки , , …, ; в *n*-м вычислителе – строки , , …, соответственно. обозначает округление сверху до ближайшего целого числа. При *L* некратном *n,* последних строк *n*-го вычислителя заполняются нулями. В итоге матрица будет равномерно распределена по вычислителям.

Вычисления будут осуществляться следующим образом. Каждый вычислитель перемножает первую строку из своей полосы матрицы с матрицей по формуле , где , , рассчитывая соответствующую строку матрицы . Затем те же самые действия проводит со второй строкой своей полосы матрицы . Вычисления проводятся до тех пор, пока каждый вычислитель не перемножит все строки из соответствующей ему полосы матрицы . В результирующую матрицу не должны включаться последних строк из полосы *n-*го вычислителя. На блок-схеме 2.1 показан алгоритм работы каждого вычислителя.

Начало

*i* = 1

*i* > ] *L/n* [

?

Конец

Вычисление строки

*i* := *i* + 1

Нет

Да

Блок-схема 2.1. Ветвь параллельного алгоритма умножения матриц

Вследствие того, что во время вычислений не происходит обмена данными между вычислителями, то есть время на организацию обменов равно нулю, коэффициент накладных расходов также будет равен нулю при реализации данного алгоритма на ВС СУММА.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Хорошевский В.Г. Архитектура вычислительных систем. [Электронный ресурс] / В.Г. Хорошевский; – М.: МГТУ им. Н.Э. Баумана, 2008. – 520 с. URL: http://www.nsu.ru/xmlui/bitstream/handle/nsu/935/khor32.pdf
2. SISD (Single Instruction, Single Data) [Электронный ресурс] / Национальная библиотека им. Н.Э. Баумана. URL: http://ru.bmstu.wiki/SISD\_(Single\_Instruction,\_Single\_Data)